

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MOUNTING METHOD OF MULTICHIP PACKAGE:

(11) 58-96756 (A) (43) 8.6.1983 (19) JP

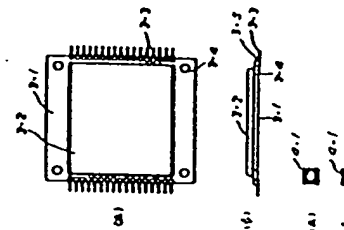
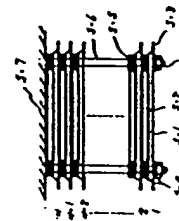
(21) Appl. No. 56-194428 (22) 4.12.1981

(71) TOKYO SHIBAURA DENKI K.K. (72) YOSHITAKA FUKUOKA

(51) Int. Cl. H01L23/32, H01L23/02

PURPOSE: To perform mounting of the multichip packages having favorable efficiency by a method wherein penetrating holes of resin blocks are positioned to penetrating holes of two or more provided at the circumferential part of the respective multichip packages, and metal bars are inserted therein to be supported and to be fixed to a case body.

CONSTITUTION: IC's are supported to be fixed to a substrate 3-1, and are sealed airtightly by a cap 3-2. Input-output terminals 3-3 are soldered with silver solder 3-5 outwardly and in parallel with the face of the substrate. The penetrating holes 3-4 are provided in the substrate 3-1 at the circumference of the cap 3-2. Penetrating holes 4-1 of the same diameter with the hole 3-4 of the substrate 3-1 are provided in the resin blocks of Teflon, etc., having a little elasticity, and utilizing the holes 4-1 of the blocks 5-5 thereof and the holes 3-4 of the substrate, the rigid body bars 5-6 of metal, etc., are inserted using the blocks 5-5 as the interlayer insulators, and the tips are fixed by screws to the case body 5-7. By this constitution, the multichip packages of a large number can be mounted having favorable efficiency and in high density to the case body having a space in the perpendicular direction.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-96756

⑫ InCl

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)6月8日

H.01.L. 23/32

6240-SF

発明の数 1

23/02

7738-SF

審査請求 未請求

(全 5頁)

⑭ マルチチップパッケージの実装方法

川崎市幸区小向東芝町1東京芝

⑮ 特 願 昭56-194428

浦電気株式会社総合研究所内

⑯ 出 願 昭56(1981)12月4日

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 発 明 者 福岡義孝

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近憲佑 外1名

明 細 書

発明の名称

① マルチチップパッケージの実装方法

特許請求の範囲

(1) 配線基板上に複数個の電子的機能要素をチップとして実装し、当該配線基板の周辺部に電子的機能要素であるチップ部品塔表面に子行に配線基板の外向きに入出力端子を形成し、全体を気密封止するマルチチップ等の基体を搭載したマルチチップパッケージの実装方法に於て、前記第1の配線基板の気密封止すべく形成されたキャップ等の基体外側の周辺部の少なくとも2ヶ所以上に通孔を設け、第2～第Nの配線基板の周辺部にも第1の配線基板と同一箇所に同一サイズの通孔を設け、各々の通孔よりも大きな大きさを有し、それ等とほぼ同一サイズの孔を具備してなる高剛性マルチチップパッケージの気密封止用の基板等の基体の前記配線基板表面からの高さの多少高めの多少弾力性を有するブロックを、該ブロックを各々の配線基板間及び配線

基板と基板等の基体との間に挿入し、第1から第Nまでの配線基板のすべての通孔と、各々の配線基板間及び配線基板と基板等の基体との間に挿入した各々のブロックのすべての通孔とを流通する様な少なくとも2本以上の剛体棒を、前記すべての通孔に挿入し、その剛体棒の先端部を基板等の基体に固着せしめる事により、第1から第Nまでのマルチチップパッケージを支持固定せしめる事を特徴とするマルチチップパッケージの実装方法。

(2) 基板等の基体に支持固定された第1～第Nまでの各々のマルチチップパッケージの配線基板の電子的機能要素であるチップ部品塔表面と子行に配線基板の外向きに形成された前記各々の入出力端子の存在している位置と同一位置配線を有する入出力端子の大きさより多少大きめの通孔を有し、特定の回路機能を有すべく配線を形成したフレキシブル配線基板を形成し、該フレキシブル配線基板を第1～第Nのマルチチップパッケージの各々の入出力端子に挿入し、接続する事により、第1～第Nまでのマルチチップパッケージ相互間の電

入出力端子、

2-4...プリント配線基板、

3-4, 5-4...本発明により形成されたマルチチャップ
パッケージ用配線基板周辺の通孔。

5-6 ...本発明による金属等の剛体棒、

5-7 … 腔体等の基体。

代理人 弁理士 則 近 藤 佑
(經 办 1 名)

この場合は、本発明を成
成する事により、固形物あるいは液円筒状の固体等
の固体を造る場合に、非常に高速度に効果良
く、しかも、ブローリーを要する事が可能と成
成している。電子線照射の超小型化に貢献する事を
可能成らしむる事ができた。

圖面說明

第1図は従来のマルナチップパッケージの斜視図、第2図(同)は従来のマルナチップパッケージの実装方法を示す図、第3図(同)は本発明によるマルナチップパッケージを説明するための図、第4図(同)は本発明によるテフロン等の樹脂プロセスを示す図、第5図は本発明によるマルナチップパッケージの実装方法を示す図、第6図は第4図に示すテフロン等の樹脂プロセスの面の実形例を示す図である。

新調JIS-L、S-1、15-1…アルミナセラミック等の
アルミナ用高密度配線基板

1-2, 2-2, 3-2, 5-2...マルチチップパッケージの
気密封止用の各チップ等の構造。

॥ ॐ नमो भगवते वासुदेवाय ॥

汉 书 卷 九 十 七 上

[illegible]

ॐ नमो भगवते वासुदेवाय ॥

ॐ नमो भगवते वासुदेवाय ॥

[illegible]


— 71 —

7-11-11

[Illegible handwritten notes]

100

100



2000

... ..

第 一 章

1950

100

1950

10

SECRET

10-10-68

1

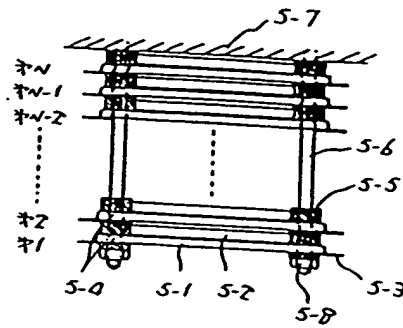
[illegible]

Journal of Management Education 30(6)p. 789-804

[illegible]

Fig. 1 is a schematic diagram of a multi-chip module assembly. It shows a rectangular substrate with six rectangular chips arranged in a 3x2 grid. Each chip has a central square area and is surrounded by a dense array of pins or contacts. To the right of the substrate, a cross-sectional view shows the internal structure of the chips and their connection to a common bus or power plane. Labels 2-1 through 2-5 indicate various components and layers.

第 5 图



第 6 图

